

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/136

(11) 공개번호
(43) 공개일자

특2001-0086613
2001년09월15일

(21) 출원번호 (22) 출원일자 (71) 출원인 (72) 발명자 (74) 대리인 (77) 심사청구 (54) 출원명	10-1999-0056190 1999년12월09일 삼성전자 주식회사, 윤종용 대한민국 442-803 경기 수원시 팔달구 매탄3동 416 전상익 대한민국 449-900 경기도용인시기흥읍농서리산24번지 김원호 김원근 없음 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법
---	--

요약

기판 위에 다수의 유지 전극선 및 유지 전극을 포함하는 유지 배선과 다수의 게이트 배선이 형성되어 있다. 게이트 배선과 유지 배선은 게이트 절연막으로 덮여 있고, 그 위에 반도체층 및 저항성 접촉층이 차례로 형성되어 있다. 저항성 접촉층 및 게이트 절연막 위에 유지 전극선에 해 있는 공통바와 다수의 데이터 배선이 형성되어 있다. 그 위에 다수의 유지 전극선의 끝부분과 공통바의 일부를 함께 드러내는 접촉 구멍 갖는 보호막이 형성되어 있다. 보호막 위에 화소 전극이 형성되어 있으며, 접촉 구멍을 통해 다수의 유지 전극선과 공통바를 연결하는 공통 턴도 형성되어 있다. 여기서, 다수의 유지 전극선과 연결되어 있는 공통바는 알루미늄과 몰리브덴을 포함하는 막으로 형성되어 저항이 낮아 또한, 다수의 유지 전극선과 공통바는 중첩되어 형성될 수 있는데, 이때는 제1 공통 패턴을 통해 유지 전극선과 공통바가 연결되고 제2 공통 턴을 통해 유지 전극선끼리 연결되어 유지 전극선 간에 형성되는 병렬 저항으로 인해 공통바와 유지 전극선 사이의 저항을 낮출 수 있다. C 같은 방법으로 공통바의 저항을 낮추어 유지 전극선으로 인가되는 신호 지연을 줄임으로써 화면 불량을 줄일 수 있다.

대표도

도4

색인어

유지 전극선, 저항, 병렬 연결, 화면 불량

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 개략적으로 도시한 배치도이고,

도 2는 도 1에서 II 부분의 화소 영역과 패드부를 함께 도시한 배치도이고,

도 3은 도 2의 III-III 선을 따라 잘라 도시한 단면도이고,

도 4는 도 1에서 IV 부분을 확대하여 도시한 배치도이고,

도 5는 도 4의 V-V 선을 따라 잘라 도시한 단면도이고,

도 6a는 본 발명에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 6b는 도 6a에서 VIb-VIb 선을 따라 잘라 도시한 단면도이고,

도 7a는 도 4의 박막 트랜지스터 기판의 일부를 본 발명에 따라 제조하는 첫 단계에서의 배치도이고,

도 7b는 도 7a에서 VIIb-VIIb 선을 따라 잘라 도시한 단면도이고,

도 8a는 도 6a 다음 단계에서의 배치도이고,

도 8b는 도 8a에서 VIIIb-VIIIb 선을 따라 잘라 도시한 단면도이고,

도 9a는 도 7a 다음 단계에서의 배치도이고,

도 9b는 도 9a에서 IXb-IXb 선을 따라 잘라 도시한 단면도이고,

도 10a는 도 8a 다음 단계에서의 배치도이고,
 도 10b는 도 10a에서 Xb-Xb 선을 따라 잘라 도시한 단면도이고,
 도 11a는 도 9a 다음 단계에서의 배치도이고,
 도 11b는 도 11a에서 XIb-XIb 선을 따라 잘라 도시한 단면도이고,
 도 12a는 도 10a 다음 단계에서의 배치도이고,
 도 12b는 도 12a에서 XIIb-XIIb 선을 따라 잘라 도시한 단면도이고,
 도 13a는 도 11a 다음 단계에서의 배치도이고,
 도 13b는 도 13a에서 XIIIb-XIIIb 선을 따라 잘라 도시한 단면도이고,
 도 14는 도 1에서 IV 부분의 다른 구조를 확대하여 도시한 배치도이고,
 도 15는 도 14에서 XV-XV 선을 따라 잘라 도시한 단면도이고,
 도 16은 도 14의 XVI 부분에 대한 등가 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

일반적으로 액정 표시 장치는 두 장의 기판 사이에 액정을 주입하고, 여기에 가하는 전기장의 세기를 조절하여 광 투과량을 조절하는 구조로 되어 있다.

이러한 액정 표시 장치의 한 기판에는 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지는 것이 일반적이며, 이러한 박막 트랜지스터 기판에는 박막 트랜지스터 외에도 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극, 게이트선 및 데이터선을 포함하는 배선, 외부로 주사 신호 또는 화상 신호를 인가받아 게이트선 및 데이터선으로 전달하는 게이트 패드 및 데이터 패드가 형성되어 있다. 다른 한 기판에 색 필터가 형성되어 있고, 이러한 색 필터 기판에는 색 필터 사이에 블랙 매트릭스가 형성되어 있으며, 박막 트랜지스터 기판의 화소 전극과 색 필터 전극을 형성하는 공통 전극도 형성되어 있다.

이러한 액정 표시 장치의 하판에는 화소 전극과 중첩시켜 화소의 전하 보존 능력을 향상시키는 유지 용량을 형성하기 위한 유지 배선이 형성되어 있는데, 상판의 공통 전극에 인가된 공통 전압 따위가 유지 배선에 전달된다. 이때, 유지 배선과 데이터선의 커플링으로 인하여 이들 사이에는 기생 용량이 발생하는데 이러한 기생 용량으로 인해 유지 배선을 통해 전달되는 공통 신호의 지연이 증가하게 되면 크로스토크 또는 폴링이 심하게 나타나 화면의 불량 정도가 더욱 심하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 유지 배선의 신호 지연을 최소화하여 화면 불량을 줄이는 방법을 제시하는 것이다.

발명의 구성 및 작용

이러한 과제를 달성하기 위하여 본 발명에서는 공통 패턴을 통해 다수의 유지 전극선과 공통바를 연결하고 공통바를 알루미늄과 몰리브덴을 포함하는 막으로 형성한다.

다수의 유지 전극선과 공통바를 중첩시킨 후 공통 패턴을 통해 다수의 유지 전극선과 공통바를 연결하고 다수의 유지 전극선끼리 연결하여 바에 병렬 저항을 추가함으로써 공통바와 유지 전극선 간의 저항을 낮춘다.

본 발명에 따르면, 절연 기판 위에 다수의 게이트선과 게이트선의 일부인 게이트 전극 및 게이트선에 연결되어 있는 게이트 패드를 포함하는 게이트 배선이 형성되어 있다. 게이트선 사이에는 다수의 유지 전극선과 유지 전극선에 연결되어 있는 유지 전극을 포함하는 유지 배선이 형성되어 있다. 게이트 배선 및 유지 배선은 게이트 절연막으로 덮여 있고, 게이트 절연막 위에 반도체층과 저항성 접촉층이 차례로 형성되어 있다. 저항성 접촉층 및 게이트 절연막 위에 게이트선과 교차하는 다수의 데이터선과 데이터선의 일부인 소스 전극, 소스 전극과 분리되어 있는 드레인 전극, 데이터선에 연결되어 있는 데이터 패드를 포함하는 데이터 배선이 형성되어 있으며, 유지 전극선과 인접하게 데이터선과 같은 방향으로 형성되어 있는 공통바가 형성되어 있다. 데이터 배선 위에는 드레인 전극 및 게이트 패드, 데이터 패드를 각각 드러내는 제1 내지 제3 절구멍과 유지 전극선 및 공통바의 일부를 함께 드러내는 제4 절구멍을 갖는 보호막이 형성되어 있다. 보호막 위에는 제1 절구멍을 통해 드레인 전극과 연결되어 있는 화소 전극과 제2 절구멍을 통해 게이트 패드와 연결되어 있는 보조 게이트 패드, 제3 절구멍을 통해 데이터선과 연결되어 있는 보조 데이터 패드가 형성되어 있다. 또한, 보호막 위에는 제4 절구멍을 통해 다수의 유지 전극선 및 공통바를 연결하는 제1 공통 패턴도 형성되어 있다.

공통바는 알루미늄과 몰리브덴을 포함하는 단일막 또는 다층막으로 이루어질 수 있다.

공통바는 다수의 유지 전극선과 중첩될 수 있으며, 이때는 보호막 위에 서로 이웃하는 유지 전극선의 일부를 드러내는 제5 절구멍이 더 될 수 있고, 제5 절구멍을 통해 서로 이웃하는 유지 전극선을 연결하는 제2 공통 패턴을 더 포함할 수도 있다.

이러한 본 발명의 제조 방법에서는 공통바의 저항을 줄여 공통바를 통해 유지 전극선으로 신호가 전달될 때 발생하는 신호 지연을 줄일 수

그러면, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 대하여 본 발명이 속한 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 상세히 설명한다.

먼저, 도 1을 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 개략적인 구조에 대하여 설명한다.

절연 기판(10) 위에 가로 방향으로 다수의 게이트선(20)이 뻗어 있고, 각각의 게이트선(20) 끝에는 다수의 게이트 패드(23)가 연결되어 있다. 각각의 게이트선(20) 사이에는 다수의 유지 전극선(25)이 형성되어 있으며, 다수의 유지 전극선(25)은 공통바(65)를 통하여 서로 전기적으로 연결되어 있다. 세로 방향으로 게이트선(20)과 절연되어 교차하여 다수의 화소 영역(P)을 정의하는 다수의 데이터선(60)이 형성되어 있다. 데이터선(60)의 끝에는 다수의 데이터 패드(64)가 연결되어 있다. 여기서, 도면으로 나타내지 않았지만 배선의 유지 전극선(25)에는 저항에 의한 공통 신호의 지연을 고려하여 외부로부터 공통 신호를 전달받는 공통 신호용 패드가 다수로 연결될 수 있다.

그러면, 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에 대하여 도 2 내지 도 5를 참조하여 상세히 설명한다.

도 2는 도 1에서 II 부분의 화소 영역과 패드부를 함께 도시한 배치도이고, 도 3은 도 2의 III-III 선을 따라 잘라 도시한 단면도이다. 도 4는 도 1에서 IV 부분을 확대하여 도시한 배치도이고, 도 5는 도 4의 V-V 선을 따라 잘라 도시한 단면도이다.

먼저, 도 2 내지 도 5에서와 같이 절연 기판(10) 위에 알루미늄(AI) 또는 알루미늄 합금(AI alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐 합금(W), 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 만들어진 게이트 배선 및 유지 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗은 게이트선(20), 게이트선(20)의 일부인 게이트 전극(21), 게이트선(20)의 한쪽 끝에 연결되어 외부로부터 주사 신호를 인가받아 게이트선에 전달하는 게이트 패드(23)를 포함한다. 유지 배선은 세로 방향으로 형성되어 있으며 이후에 형성되는 화소 전극(80)과 중첩되어 유지 용을 형성하는 유지 전극(26)과 게이트선(20)과 평행하게 형성되어 있으며 유지 전극(26)에 공통 신호를 전달하는 유지 전극선(25)을 포함한다.

게이트 배선(20, 21, 23)과 유지 배선(25, 26) 위에는 질화규소 따위의 게이트 절연막(30)으로 덮여 있다.

게이트 전극(21) 위의 게이트 절연막(30) 위에는 비정질 규소 따위의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있고, 반도체층(40) 위에는 n형 불순물이 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(51, 52)이 게이트 전극(21)을 중심으로 양쪽으로 분리하여 형성되어 있다.

저항성 접촉층(51, 52) 및 게이트 절연막(30) 위에는 비저항이 작은 알루미늄과 몰리브덴을 포함하는 단일막 또는 다층막의 금속 또는 도전체로 이루어진 데이터 배선(60, 61, 62, 64)과 공통바(65)가 형성되어 있다. 데이터 배선은 게이트선(20)과 교차하여 화소 영역을 정의하며 세로 방향으로 뻗어 있는 데이터선(60), 데이터선(60)의 일부인 소스 전극(61), 소스 전극(61)과 분리되어 있는 드레인 전극(62), 데이터선(60)의 한쪽에 연결되어 외부로부터 화상 신호를 인가받아 데이터선(60)에 전달하는 데이터 패드(64)를 포함한다. 공통바(65)는 유지 전극선(25)과 함께 일정한 거리를 두고 세로 방향으로 형성되어 있다.

데이터 배선(60, 61, 62, 64) 및 공통바(65), 반도체층(40), 게이트 절연막(30) 위에는 보호막(70)이 형성되어 있다.

보호막(70)에는 게이트 절연막(30)과 함께 드레인 전극(62)을 드러내는 접촉 구멍(72)과 데이터 패드(64)를 드러내는 접촉 구멍(74), 게이트 패드(23)를 드러내는 접촉 구멍(73)이 형성되어 있다. 또한, 보호막(70)에는 게이트 절연막(30)과 함께 유지 전극선(25)의 끝부분과 공통바(65)의 일부를 함께 드러내는 접촉 구멍(75)이 각각의 유지 전극선(25)마다 형성되어 있다.

보호막(70) 위에는 ITO와 같은 투명 도전 물질로 이루어진 접촉 구멍(72)을 통하여 드레인 전극(62)과 연결되는 화소 전극(80)이 형성되어 있다. 화소 전극(80)은 모서리가 곡선화된 사각형이 수 개로 연결되어 있는 형태를 갖는다. 여기서, 화소 전극(80)은 다양한 모양으로 패터닝될 수 있으며, 이는 액정 표시 장치의 시야각을 개선하기 위하여 액정 분자를 프린지 필드(fringe field)를 이용하여 다중 영역으로 분할 배향하는 방식이다. 이러한 형태의 화소 전극(80)은 TN(twisted nematic) 또는 수직 배향(VA; vertically aligned) 방식의 액정 표시 장치 등에 적용될 수 있다.

여기서, 화소 전극(80)은 유지 전극선(25) 및 유지 전극(26)과 중첩되어 유지 용량을 형성하고 있다. 게이트 패드(23) 및 데이터 패드(64) 역시 접촉 구멍(73, 74)을 통해 각각 이들과 연결되는 보조 게이트 패드(83) 및 보조 데이터 패드(84)가 형성되어 있으며, 이들은 패드(23, 64) 외부 회로 장치와의 접촉성을 보완하고 패드(23, 64)를 보호하는 역할을 하는 것으로 필수적인 것은 아니다. 또한, 화소 전극(80)과 동일한 층에는 접촉 구멍(75)을 통해 유지 전극선(25)과 공통바(65)를 연결하고 있는 공통 패턴(85)이 형성되어 있다.

여기서는 화소 전극(80)의 물질로 ITO와 같은 투명 도전 물질을 예로 들었으나, 크롬 또는 알루미늄과 같은 불투명 도전 물질을 사용하여도 가능하다.

여기서, 공통바(65)의 선폭(a)을 늘리거나 공통바(65)를 비저항이 작은 알루미늄과 몰리브덴을 포함하는 단일막 또는 다층막의 금속 또는 도전체로 형성하면 공통바(65)의 저항을 낮출 수 있으므로 유지 전극선(25)을 통한 신호의 지연을 방지할 수 있다. 또한, 접촉 구멍(75)의 크기를 크게 하면 공통바(65)에 인가된 신호가 공통 패턴(85)을 통해 유지 전극선(25)으로 전달되기가 수월해진다.

이러한 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 6a 내지 도 13b를 참조하여 설명한다.

우선, 도 6a 내지 도 7b에서와 같이 기판(10) 위에 게이트 배선용 도전체를 스퍼터링 따위의 방법으로 증착하고 패터닝하여 게이트 배선(20, 23) 및 유지 전극선(25), 유지 전극(26)을 형성한다.

이어, 도 8a 내지 도 9b에서와 같이 게이트 절연막(30), 반도체층(40), 저항성 접촉층(50)을 화학 기상 증착법을 이용하여 차례로 증착한 후의 두 층을 패터닝한다.

이어, 도 10a 내지 도 11b에서와 같이 데이터 배선용 도전체층을 스퍼터링 따위의 방법으로 증착하고 패터닝하여 데이터 배선(60, 61, 62, 64) 및 공통바(65)를 형성한 후, 소스 전극(61) 및 드레인 전극(62) 사이에 드러난 저항성 접촉층을 제거하여 두 부분(51, 52)으로 분리한다.

이어, 도 12a 내지 도 13b에서와 같이 보호막(70)을 화학 기상 증착법 따위로 증착하고 패터닝하여 접촉 구멍(72, 73, 74, 75)을 형성한다.

이어서, 도 2 내지 도 5에서와 같이 ITO와 같은 투명 도전 물질을 증착하고 패터닝하여 화소 전극(80) 및 보조 게이트 패드(83), 보조 데이터 패드(84), 공통 패턴(85)을 형성한다.

이러한 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판에서는 공통바(65)를 통하여 다수의 유지 전극선(25)을 연결하고 공통바(65)에 연결된 다수의 패드를 통하여 외부로부터 공통 신호를 유지 전극선(25)에 전달함으로써 유지 배선(25, 26)의 저항을 낮추어 신호 지연을 줄일 수 있다. 그러나, 공통바(65)는 게이트 패드(23)와 중첩되지 않아야 하므로 형성되는 공간에 있어서 제약이 따른다. 따라서, 공통바(65)를 유지 전극선(25)에서 거리를 두고 형성하는 데는 한계가 있다. 따라서, 공통바(65)를 유지 전극선(25)과 중첩시키는 구조가 바람직하며, 이에 대하여 4 내지 도 16을 참조하여 설명한다.

도 14는 도 1에서 IV 부분의 다른 구조를 확대하여 도시한 배치도이고, 도 15는 도 14에서 XV-XV 선을 따라 잘라 도시한 단면도이고, 도 16은 도 14의 XVI 부분에 대한 등가 회로도이다.

도 14 및 도 15에서와 같이 유지 전극선(25)은 게이트 절연막(30)으로 덮여 있으며 게이트 절연막(30) 위에 공통바(65)가 유지 전극선(25)과 일부 중첩되도록 형성되어 있다. 게이트 절연막(30)과 공통바(65) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)에는 유지 전극선(25) 끝부분의 일부와 공통바(65)의 일부를 함께 드러내는 접촉 구멍(75)이 형성되어 있고, 이웃하는 유지 전극선(25)을 함께 드러내는 접촉 구멍(76)이 형성되어 있다. 보호막(70) 위에는 접촉 구멍(75)을 통해 유지 전극선(25)과 공통바(65)를 연결하는 제1 공통 패턴(85)이 형성되어 있고, 접촉 구멍(76)을 통해 이웃하는 유지 전극선(25)끼리 연결하는 제2 공통 패턴(86)이 형성되어 있다.

이러한 구조에서는 공통바(65)를 통해 들어간 신호가 제1 및 제2 공통 패턴(85, 86)을 통해 유지 전극선(25)으로 전달된다. 이에 대하여 도 16을 참조하여 설명한다.

도 16은 도 14에서 XVI 부분에 대한 등가 회로도이다.

여기서, 공통바(65)와 제1 공통 패턴(85) 사이의 저항(C)과 제1 공통 패턴(85)과 유지 전극선(25) 사이의 저항(A)이 있다. 그리고, 제2 공통 패턴(86)을 통해 연결되는 각 유지 전극선(25) 사이에는 저항(B)이 있다. 이때, 저항(B)은 저항(A)과 병렬 연결되어 있어 공통바(65)와 유지 전극선(25) 간의 저항을 낮출 수 있으므로 유지 전극선(25)으로 인가되는 신호의 지연을 줄일 수 있다.

여기서, 제조 방법은 본 발명의 실시예와 동일하며, 단지 접촉 구멍(75)을 형성할 때 접촉 구멍(76)을 더 형성하고 화소 전극(80)을 형성할 때 제2 공통 패턴(86)을 더 형성한다.

발명의 효과

이와 같이 본 발명에서는 공통바의 저항을 줄여 신호의 지연을 줄임으로써 수평 방향의 크로스토크를 줄일 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판,

상기 기판 위에 형성되어 있는 다수의 게이트선과 상기 게이트선의 일부인 게이트 전극 및 각각의 상기 게이트선에 연결되어 있는 게이트 패드를 포함하는 게이트 배선,

상기 게이트선 사이에 각각 형성되어 있는 다수의 유지 전극선과 상기 유지 전극선에 각각 연결되어 있는 유지 전극을 포함하는 유지 배선,

상기 게이트 배선 및 상기 유지 배선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 있는 저항성 접촉층,

상기 저항성 접촉층 및 상기 게이트 절연막 위에 형성되어 있으며 상기 게이트선과 교차하는 다수의 데이터선과 상기 데이터선의 일부인 소스 전극, 상기 소스 전극과 분리되어 있는 드레인 전극, 상기 데이터선에 연결되어 있는 데이터 패드를 포함하는 데이터 배선,

상기 유지 전극선과 인접하게 상기 데이터선과 같은 방향으로 형성되어 있는 공통바,

상기 데이터 배선을 덮고 있으며, 상기 드레인 전극 및 상기 게이트 패드, 상기 데이터 패드를 각각 드러내는 제1 내지 제3 접촉 구멍과 상기 유지 전극선 및 상기 공통바의 일부를 함께 드러내는 제4 접촉 구멍을 갖는 보호막,

상기 보호막 위에 형성되어 있으며 상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극,

상기 보호막 위에 형성되어 있으며 상기 제2 접촉 구멍을 통하여 상기 게이트 패드와 연결되어 있는 보조 게이트 패드,

상기 보호막 위에 형성되어 있으며 상기 제3 접촉 구멍을 통하여 상기 데이터 패드와 연결되어 있는 보조 데이터 패드,

상기 보호막 위에 형성되어 있으며 상기 제4 접촉 구멍을 통하여 상기 다수의 유지 전극선과 상기 공통바를 연결하고 있는 제1 공통 패턴을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 2.

제1항에서,

상기 공통바는 알루미늄과 몰리브덴을 포함하는 단일막 또는 다층막으로 이루어진 액정 표시 장치용 박막 트랜지스터 기판.

청구항 3.
제1항에서,

상기 공통바는 상기 다수의 유지 전극선과 중첩되는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 4.
제3항에서,

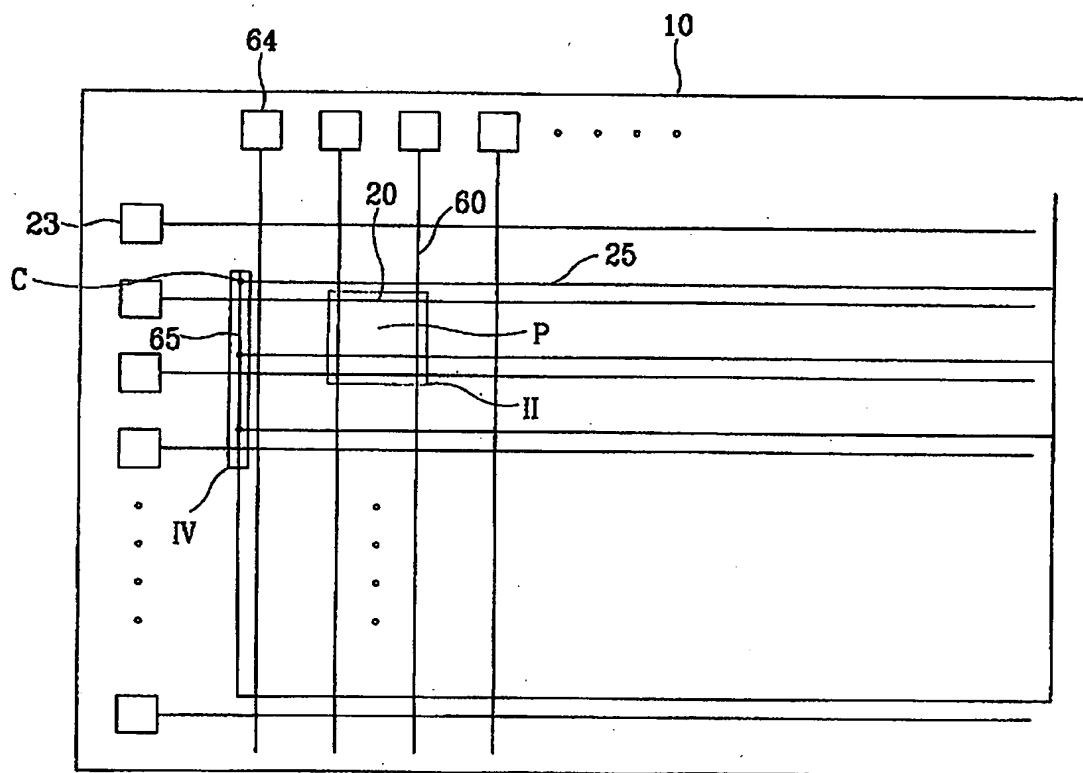
서로 이웃하는 상기 유지 전극선의 일부를 드러내는 제5 접촉 구멍을 갖는 액정 표시 장치용 박막 트랜지스터 기판.

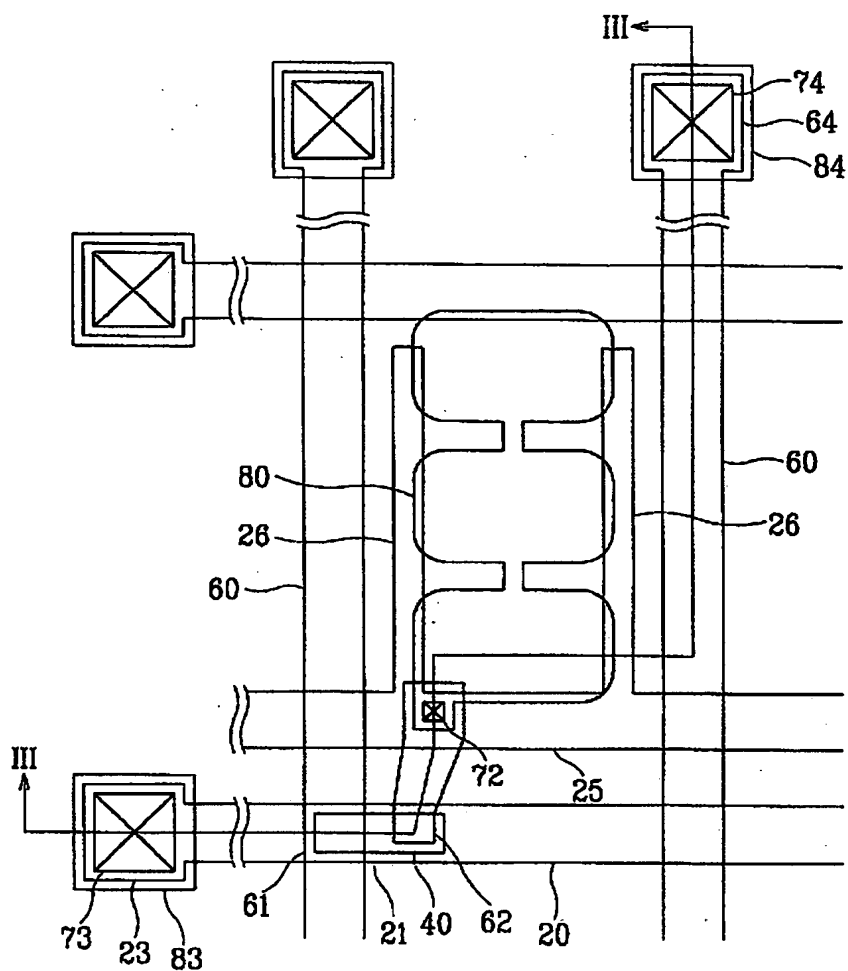
청구항 5.
제4항에서,

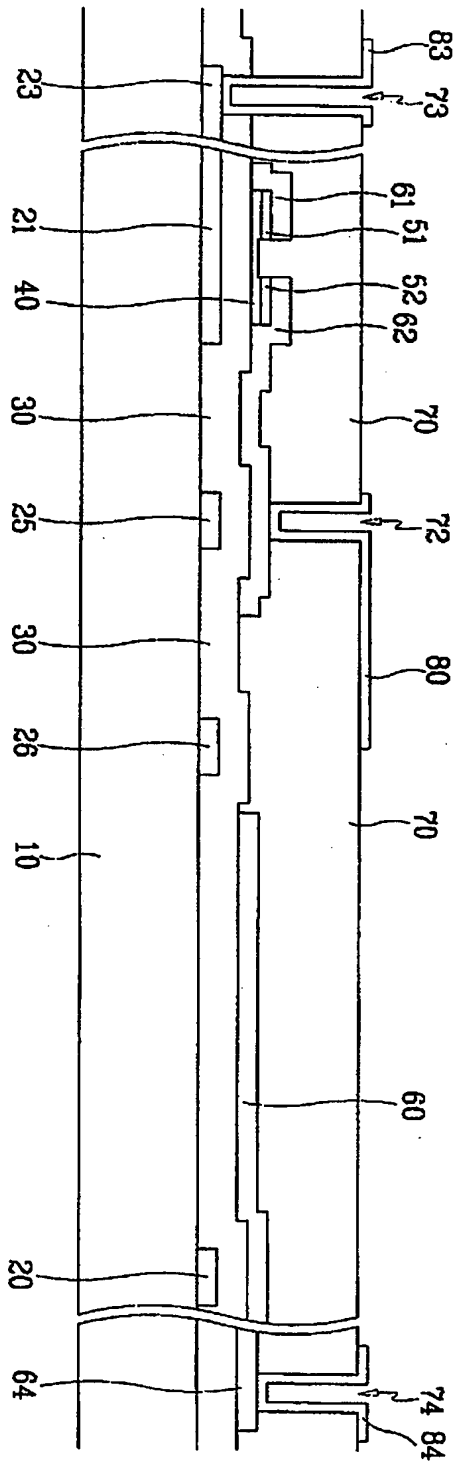
서로 이웃하는 상기 유지 전극선 사이에 각각 형성되어 있으며, 상기 제5 접촉 구멍을 통해 서로 이웃하는 상기 유지 전극선을 연결하는 제2 통 패턴을 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

도면

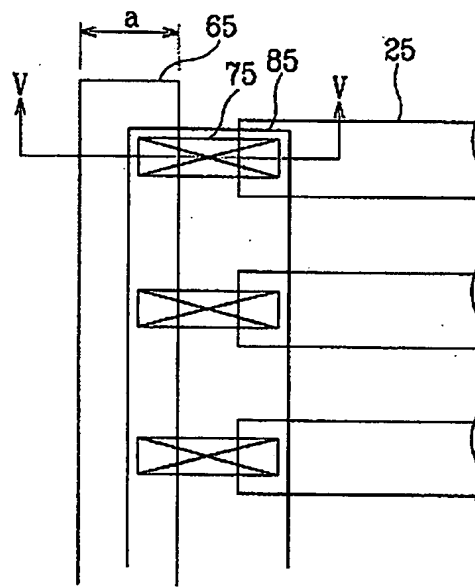
도면 1



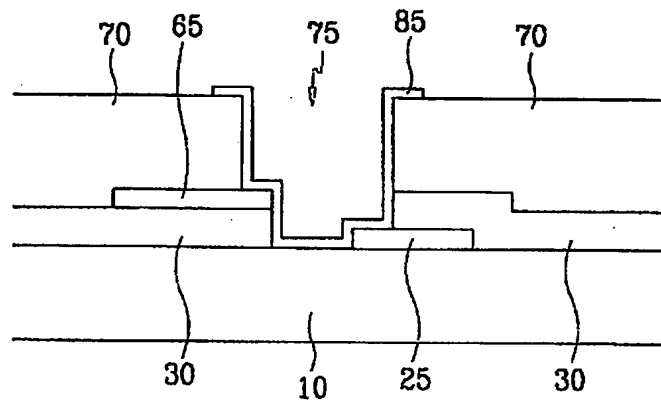




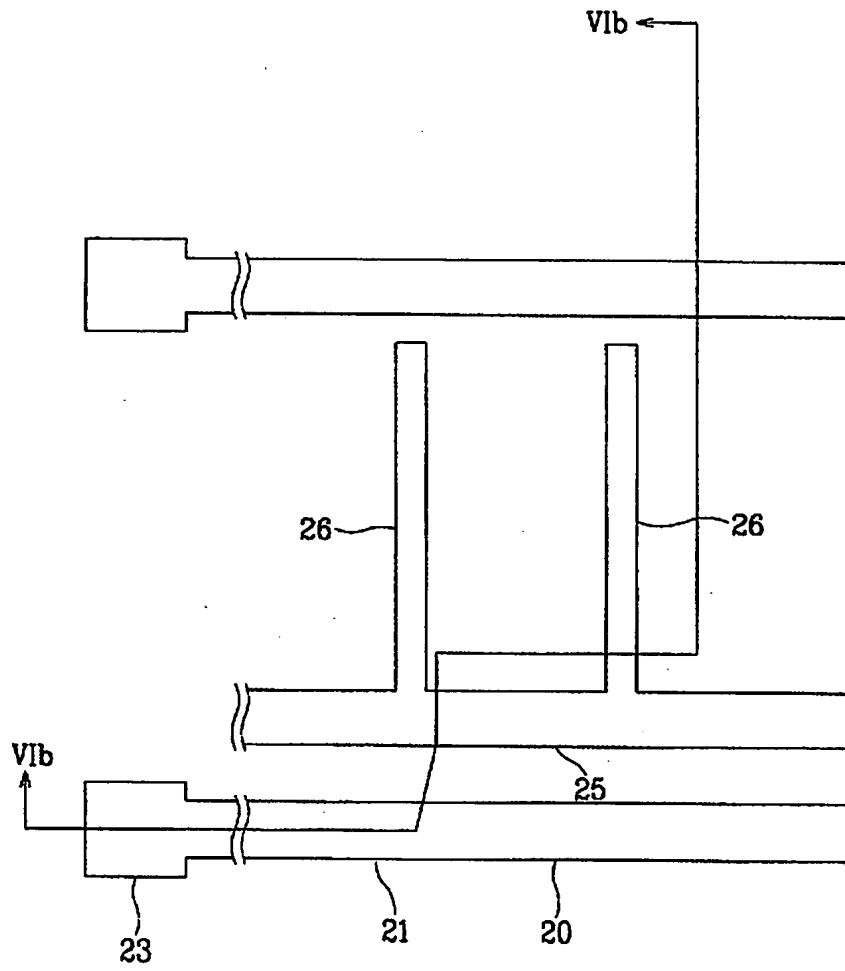
도면 4



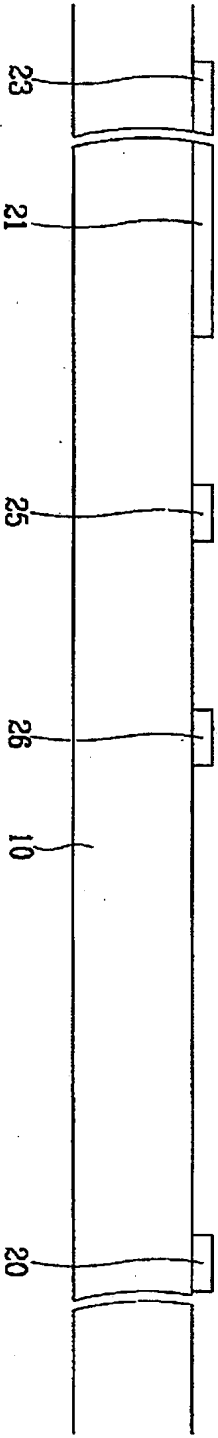
도면 5



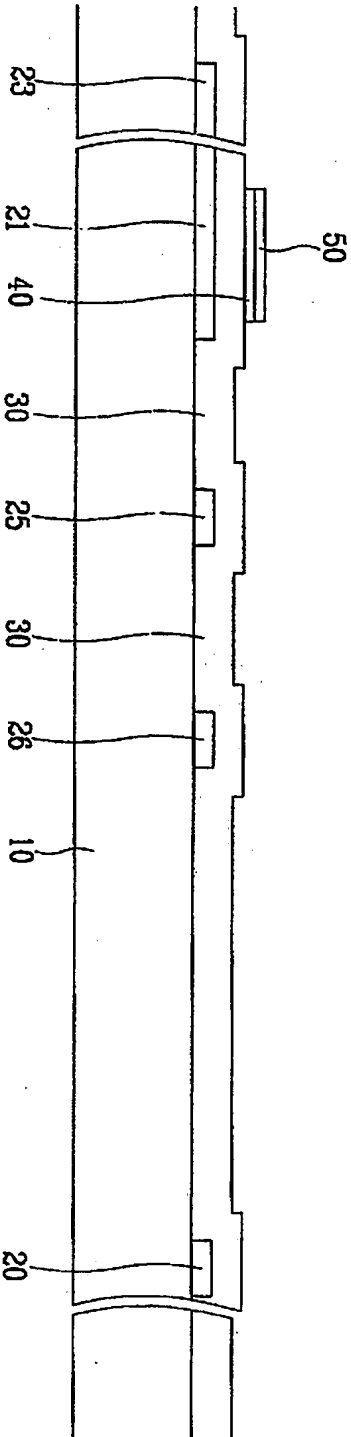
도면 6a



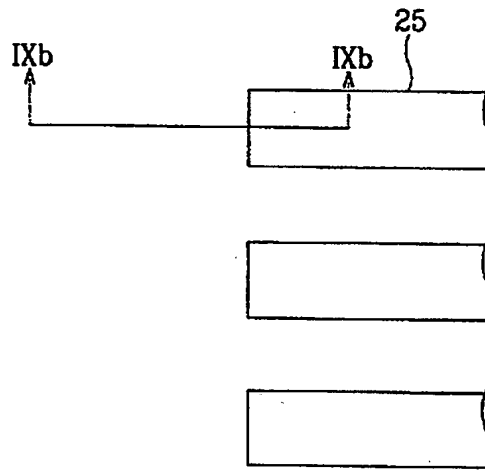
도면 6b



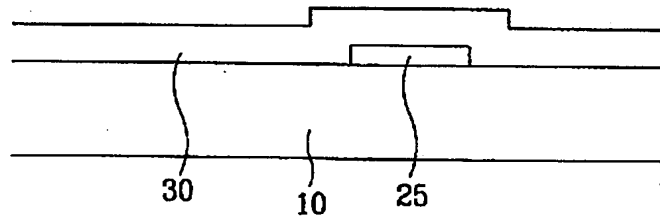
도면 8b



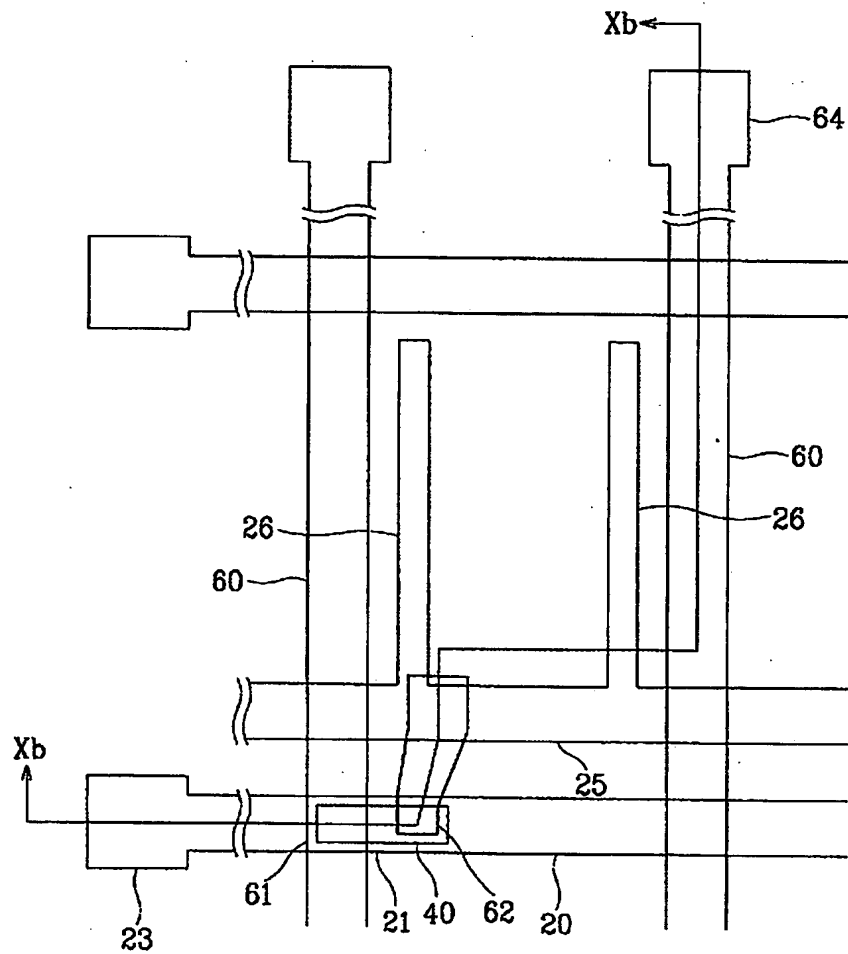
도면 9a



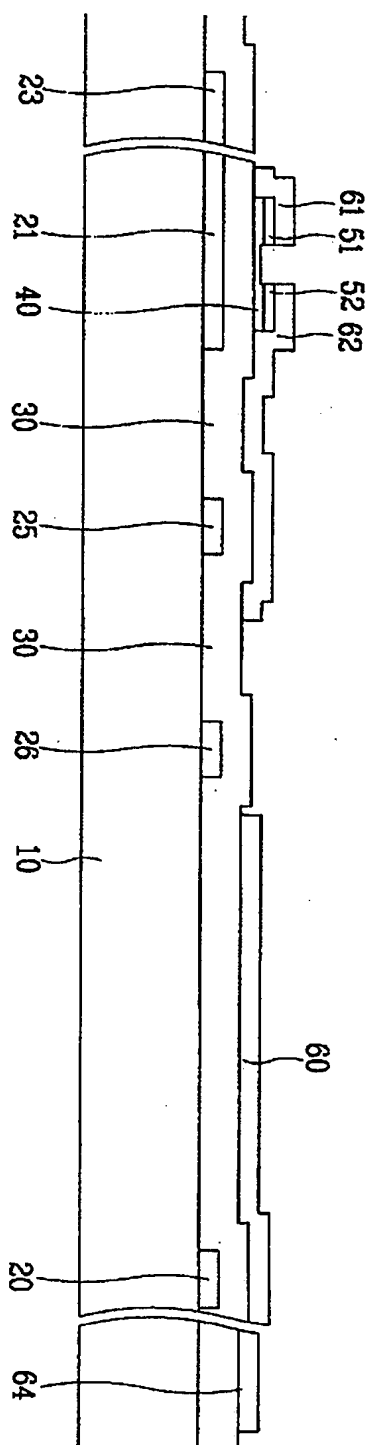
도면 9b



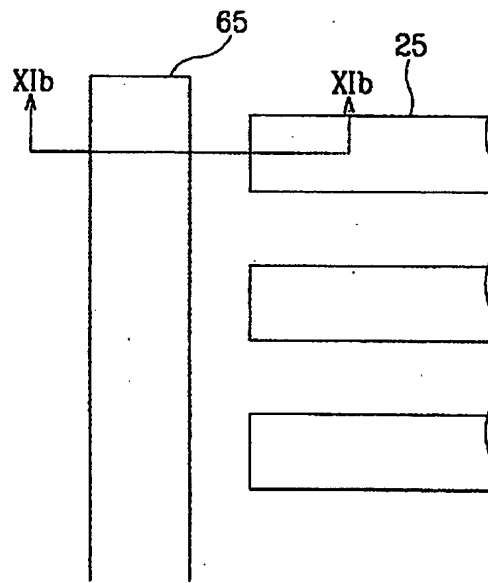
도면 10a



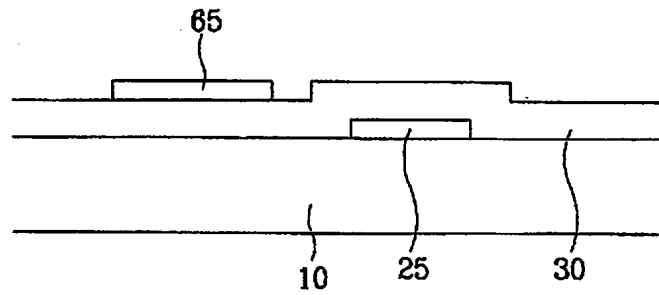
도면 10b



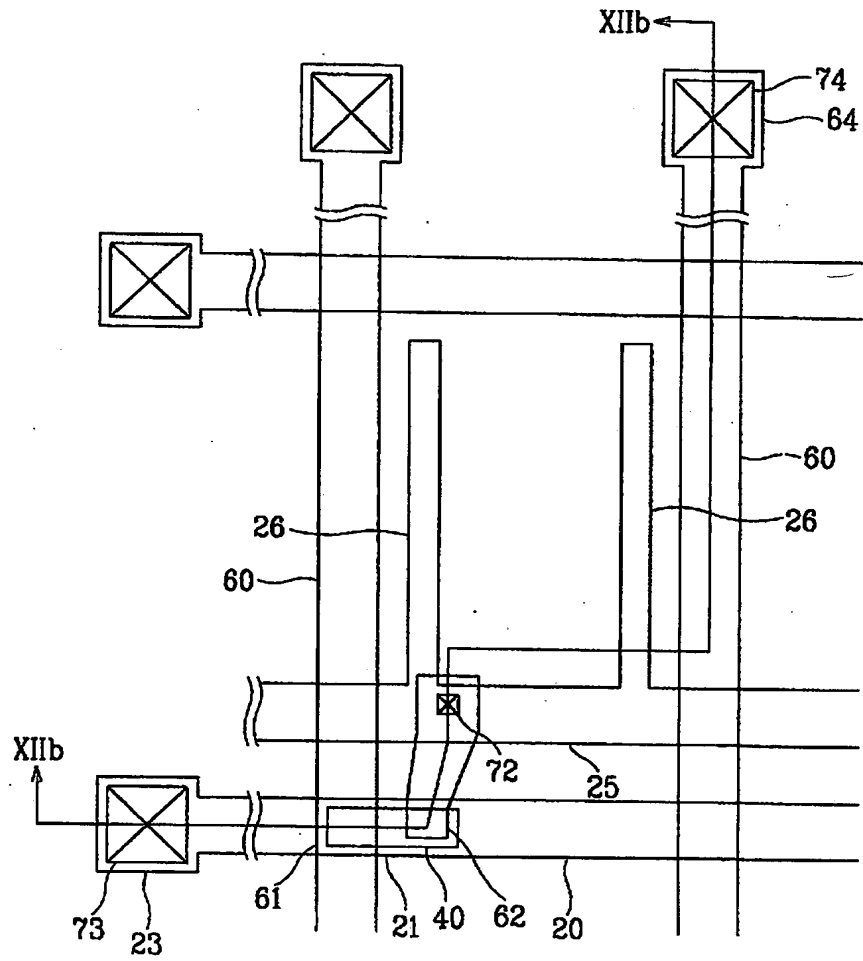
도면 11a

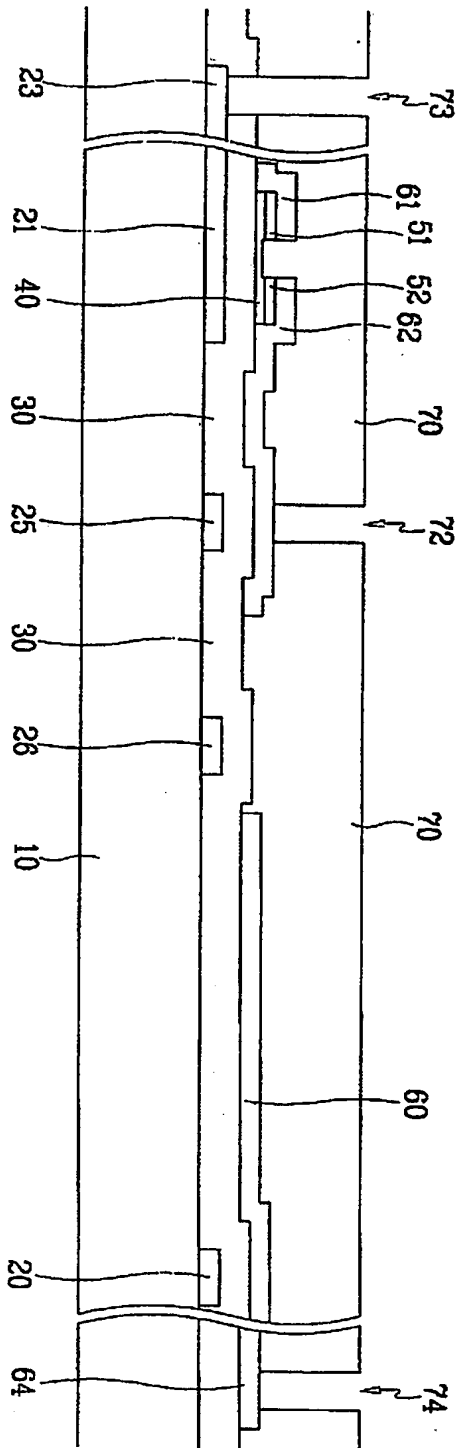


도면 11b

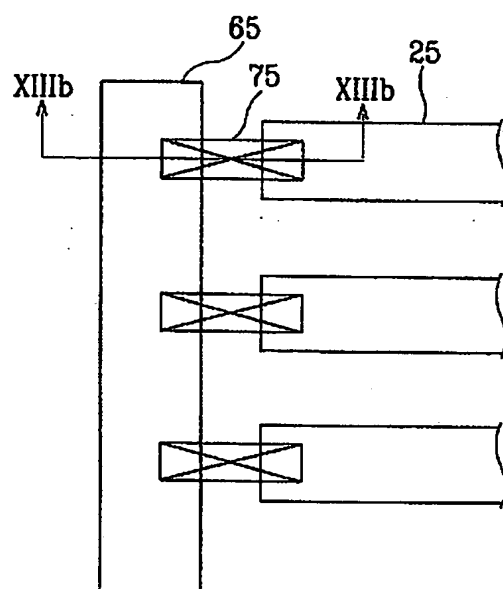


도면 12a

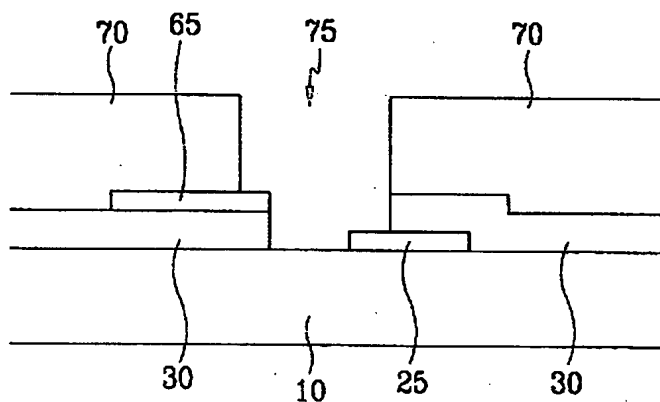




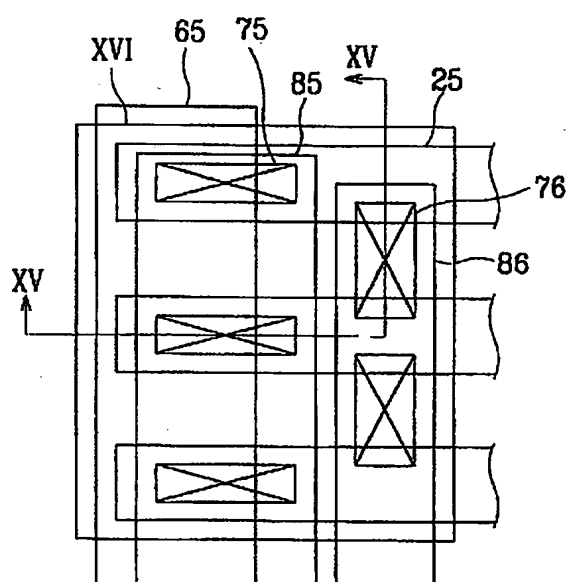
도면 13a



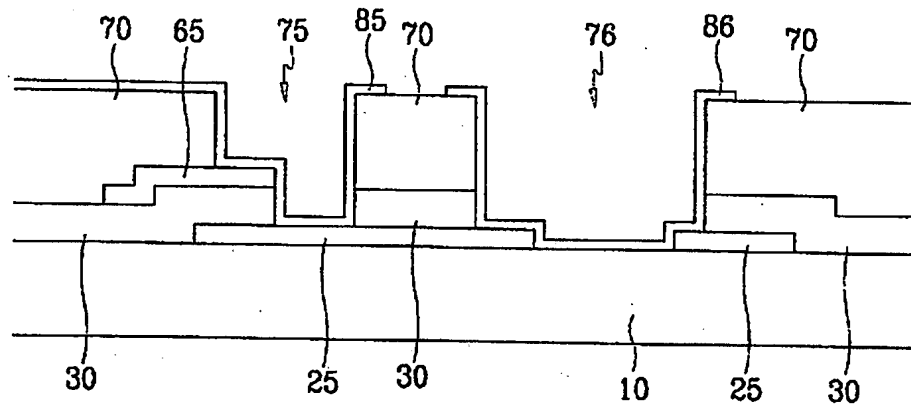
도면 13b



도면 14



도면 15



도면 16

